⑩ 日本国特許庁(JP)

① 特許出願公開

# ⑫ 公 開 特 許 公 報 (A) 平2-18784

⑤Int. Cl. 5

識別記号

庁内整理番号

❸公開 平成2年(1990)1月23日

G 11 C 11/409

8522-5B G 11 C 11/34

353 E

審査請求 未請求 請求項の数 4 (全6頁)

❷発明の名称

センスアップ回路

②特 願 昭63-168206

②出 願 昭63(1988)7月6日

⑩発 明 者 山 内

寛 行

大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑪出 願 人 松下電器産業株式会社

大阪府門真市大字門真1006番地

⑩代 理 人 弁理士 栗野 重孝

外1名

明 細 書

1、発明の名称
センスアンプ回路

#### 2、特許請求の範囲

- (1) 複数のトランジスタから構成されるフリップフロップ型又はカレントミラー型のセンスアンプロ路の共通ノードを第1のスイッチ素子をうして、第1の電源電圧の供給線と接続し、方の電源電圧の供給線と接続し、前記第1の電源電圧と接続し、前記共通ノードに接続される電源電圧の供給線を、前記共通ノードに接続される電源電圧の供給線を、前記第1の電源電圧から第2の電源電圧の供給線を、前記第1の電源電圧がら第2の電源電圧がり替えて増幅することを特徴とするセンスフンプロ路。
- (2) 第1の電源電圧をダウンコンパーターで発生 し、第2の電源電圧を外部電源電圧とすること を特徴とする特許請求の範囲第1項記載のセン スアンプ回路。
- (3) 複数のトランジスタから構成されるフリップフロップ型又はカレントミラー型センスアンプ回路の共通ノードを第1のスイッチ素子を介して第1の電源電圧の供給線と接続し、さらに前記第1の電源電圧より低い電圧をもつ第2の電源電圧の供給線と接続し、前記第1のは終続される電源電圧の供給線を、前記第1の電源電圧がら第2の電源電圧に切り替えて増幅することを特徴とするセンスアンプ回路。
- (4) 第1の電源電圧を外部電源電圧とし、第2の 電源電圧を基板パイプス発生回路で発生するこ とを特徴とする特許請求の範囲第3項記載のセ ンスアンプ回路。
- 3、発明の詳細な説明 産業上の利用分野

本発明は、半導体メモリー回路に使用されるセンスアンプ回路に関するものである。

特期平2-18784(2)

従来の技術

従来のセンスアンプ回路とその動作を第5図~ 第8図を用いて説明する。

まず第5図は、従来のP型センスアンプの回路 図であり、1はP型のフリップフロップ回路、2 はピット線対、3はP型フリップフロップ回路1 の共通ソースノードを、外部電源Vcc5より降圧 された内部電源Vcc6に接続するためのスイッチ 索子である。

次に、第8図を用いて動作を説明する。.

まずメモリーセルを読み出すことで、ビット線 対2に電位差 4 V が生じる。次にその電位差 4 V を増幅するために、スイッチ素子3を0 N にし、 フリップフロップ回路1を、活性化する。

さらに、第7図は、従来のN型センスアンプの 回路図であり、10はN型のフリップフロップ回 路、2はピット線対、30はN型フリップフロッ プ回路30の共通ソースノードを、外部電源Vss 50に接続するためのスイッチ素子である。又、 フリップフロップ回路10、スイッチ案子30を

(1)式において、 $I_{bit}$ は充,放電電流、Wはトランジスタのゲート幅、Lはトランジスタのゲート長、 $\mu$ は移動度、 $C_{ox}$ はトランジスタのゲート酸化膜容量、 $V_{bit}$ はビット線の電位、 $V_{s}$ は共通ソースノードの電位である。

トランジスタの電流駆動能力が減少するという ことは、ピット線の充,放電電流駆動能力が低下 するということであり、増幅に要する時間が長く なりメモリーの読み出し速度が低下することになる。

以上の問題は、今後、半導体メモリーが微細化、高密度化されるにつれて、信頼性の問題から電源 電圧が下がる傾向にある中で、極めて重要な問題 点である。

本発明は、以上の問題点に鑑み、高速を読み出 し可能なセンスアンプ回路を実現しようとするも のである。

### 課題を解決するための手段

本発明は、複数のトランジスタから構成される フリップフロップ型又は、カレントミラー型のセ 構成しているN型MOS型トランジスタの基板電位は、基板パイアス発生回路4〇から出力される 電位VBB に固定されている。

次に、第8図を用いて動作を説明する。

まずメモリセルを読み出すことで、ビット線対 2 に、電位差 4 V が生じる。次に、その電位差 4 V を増幅するために、スイッチ素子3 O を 0 N にし、フリップフロップ回路1 O を活性化する。

### 発明が解決しようとする課題

しかしながら、メモリーセル内の酸化膜の信頼性のために、メモリーセル部の電源電圧を降圧させると、当然、フリップフロップ回路1の動作電圧は、その分、下がることになる。一方、フリップフロップ回路を構成しているトランジスタのしきい値▼tnは、そのままであるため、(1)式から理解できるようにトランジスタの電流駆動能力は減少することになる。

$$I_{bit} = \frac{1}{2} \frac{W}{L} \mu C_{ox} (V_{bit} - V_s - V_{th})^2$$
.....(1)

ンスアンプ回路の共通ノードを第1のスイッチ案子を介して第1の電源電圧の供給線と接続し、さらに前記共通ノードを第2のスイッチ素子を介して前記第1の電源電圧より高い電圧をもつ第2の電源電圧の供給線と接続し、第1のスイッチ案子を用いて、一時的に、前記共通ノードに接続されている電源電圧の供給線を、第1の電源電圧から第2の電源電圧に切り替えて増幅するセンスアンプ回路を提供するものである。

作用

本発明は、複数のトランジスタから構成されるフリップフロップ型又は、カレントミラー型のセンスアンプ回路の共通ノードを、第1のスイッチ素子を介して第1の電源電圧の供給線と接続するとでセンスアンプ回路を活性化し、ビット線対の後に第2のスイッチ素子を介して、第1の電源電圧より、センスアンプ回路を構成するトランスタの動作電圧が高くなるように第2の電源電圧の供給線と共通ノードを接続することで、トラン

特閒平2-18784(3)

ジスタの電流駆動能力を高めることができ、増幅 時間が短かくて済む高速センスアンプ回路が実現 できる。

実施例

第1図に本発明のセンスアンプ回路の回路例を示す。

なお、第1図に示す本発明の第1の実施例の回路は、基本的には第2図に示した従来の回路と同じ構成であるので、同一構成部分には同一番号を付して詳細な説明は省略する。

まず、第1凶に示すセンスアンプ回路の構成を 説明すると、

2ケのP型MOS型トランジスタから構成されるフリップフロップ回路1の共通ソースノードを、P型MOS型トランジスタからなる第1のスイッチ素子6を介して、内部電源電圧 Vcc 6の供給線に接続する。ここで、Vcc は外部電源電圧 5を、ダウンコンパータ4により降圧した電源電圧である。さらに、共通ソースノードをP型MOS型トランジスタからなる第2のスイッチ案子3を介して

路1を構成するトランジスタの動作電圧を高くし、 電流駆動能力を高める。増幅が加速されたその後 ピット線対2が内部電源電圧 Vcc 6 の電圧レベル まで増幅されるタイミングで、センスアンプ制御 信号1をロー、制御信号2をハイにすることで、 ピット線対2が、内部電源電圧 Vcc 6 の電圧レベル ルより高く増幅されることを防ぐ。又、各下シン ジスタの基板運位は、高い電圧の Vcc 5 に固定し ているので、基板に対して各トランジスタのノー ス、ドレイン領域が順方向のバイアス関係になる ことはないのでリークの問題もない。

以上の様に、第1の実施例では、高速な増幅が 可能なP型センスアンプ回路が実現できる。

次に、第3凶に本発明の第2の実施例の回路例 を示す。

第3凶に示すセンスアンプ回路の構成を説明すると、

2 ケの N 型 M O S 型 トランジスタから構成されるフリップフロップ回路 1 の共通ソースノードを、N 型 M O S トランジスタからなる第 1 のスイッチ

外部電源電圧5の供給線に接続する。

このセンスアンプ回路の動作を第2凶を用いて 説明する。

ワード線を立ち上げることで、メモリーセルが 読み出され、ビット線対2に電位差4Vが生じる。 その後センスアンプ制御信号10をローにすることで第1のスイッチ素子8をオンにして、共通ソースノードをVcc8の供給線に接続する。され センスアンプ回路1が活性化され増幅を開始する。 したように、電源電圧が降 正されているため、P型フリップロップく、で を構成するトランジスタの動作電圧が低に 駆動能力が低下したいう問題点があったが、第1の 実施例では増幅を加速するために、

センスアンプ制御信号10をハイ、制御信号 20をローにすることで、P型フリップフロップ 回路1の共通ソースノードに接続されている内部 電源電圧 Vcc 6 の供給線を、外部電源電圧 Vcc 5 の供給線とつなぎかえ、P型フリップフロップ回

案子でOを介して、外部電源 Vss 5 Oの供給線に接続する。さらに、共通ソースノードを N型 MOS型トランジスタからなる第2のスイッチ素子3 Oを介して、基板パイアス発生回路 4 Oから発生された基板電位 VBB の供給線に接続する。

このセンスアンプ四路の動作を第4図を用いて 説明する。

ワード線を立ち上げることでメモリーセルが統み出され、ピット線対2に電位差4Vが生じる。その後、センスアンプ制御信号100をハイにて共通ソースノードをVss50の供給線に接続する。するとセンスアンの供給線に投充なりにはない。しかし従来例で説明したよファブ回路では対したように、増協はありまる。その動作電力が低下されている。その動作電が開展が開展であります。その要があります。という問題はがあったがあいて、変な時間が長くなるという問題はがあったがに、なの実施例では増幅を加速するために、スアンプ制御信号100をロー、制御信号20を

## 特開平2-18784(4)

ハイにすることで、センスアの路10の供給
りースノードに接続されている。 Vss 6 0 のの供給
線を、 基板電位 VBB 8 0 の供給線とつなぎかえう
い型フリップの配10を構成するトランの動作電圧を高くし、電流駆動能力を高が
シスタの動作電圧を高くし、電流駆動能力をが
で、 はないの電圧レベルをで増幅されるタイミ制のが
で、センスアンが側信号100をハイ、対2のでで、センスアンにすることで、くなるといば対がで
いいるので電圧レベルより低では、基板に対がで
といるトランジスタのソース、ドレインの間が
のバイアス関係になることはないのでリークの間
題もない。

以上の様に、第2の実施例では、高速な増幅が 可能なN型センスアンプ回路が実現できる。

又、容易に考えることができるように、本発明 の第1の実施例と第2の実施例を、組み合わせた CMOSセンスアンプ回路も当然容易に実現できる。

5,60……第2の電源電圧、6,50……第1 の電源電圧。

代理人の氏名 弁理士 粟 野 重 孝 ほか1名

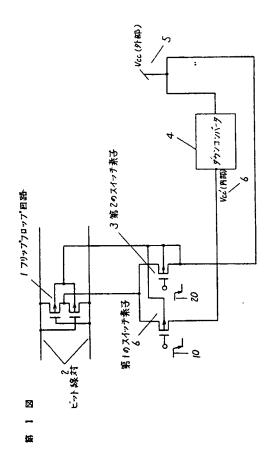
発明の効果

本発明によれば、メモリーセルの酸化膜の信頼性の面から、低電圧されていく内部電源電圧のために、センスアンプ回路の動作電圧が低下し、増幅時間が、長くなるという問題点を、センスアンプ回路の増幅期間中に、センスアンプ回路を構成しているトランジスタの動作電圧が、より高くなるように、一時的に共通ソースノードに接換されている電源の供給線を高い電圧の電源の供給線につなぎかえることで解決でき、その実用的効果は大きい。

#### 4、図面の簡単な説明

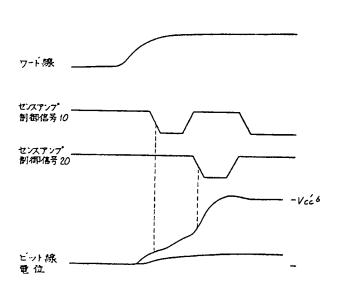
第1図は本発明の第1の実施例の回路図、第2 図は第1の実施例の回路の動作説明図、第3図は 本発明の第2の実施例の回路図、第4図は第2の 実施例の回路の動作説明図、第6図、第7図は従 来の回路図、第6図、第8図は従来の回路の動作 説明図である。

1 ······ P 型フリップフロップ回路、 2 ·····ビット線対、 3 、 6 、3 O 、7 O ·····スイッチ杂子、

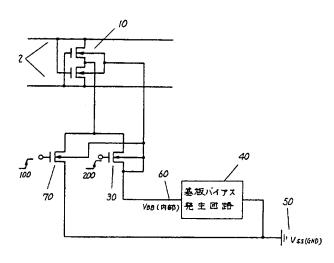


# 特閒平2-18784(5)

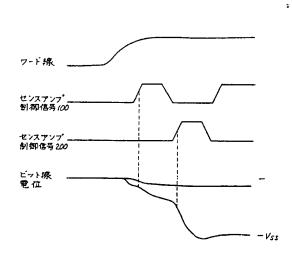
第 2 図



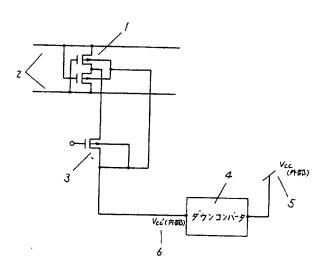
第 3 図



第 4 図



第 5 🗵



## 特開平2-18784(6)

